

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040074

(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

G06F 15/177

H04L 7/00

(21)Application number : 10-223693

(71)Applicant : NEC ENG LTD

(22)Date of filing : 23.07.1998

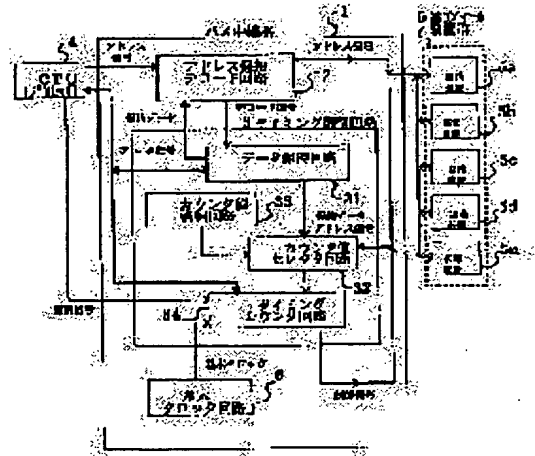
(72)Inventor : HONDA NOBORU

(54) TIMING SETTING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a timing setting system capable of flexibly setting the access timing and address range of plural circuit devices under the control of a bus repeater without using any physical changeover switch.

SOLUTION: Concerning this timing setting system, the address range of a bus repeater 1 is arbitrarily set according to a software instruction from a processor (CPU) 4 and performs independent timing setting within the set address range. The bus repeater 1 has an address hold/decode circuit 2, timing control circuit 3 and basic clock circuit 6. Under the control of the bus repeater 1, a group 5 of devices to be controlled is provided while having plural circuit devices 5a-5n.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40074

(P 2 0 0 0 - 4 0 0 7 4 A)

(43) 公開日 平成12年2月8日(2000.2.8)

(51) Int. Cl.⁷
G06F 15/177
H04L 7/00

識別記号
680

F I
G06F 15/177
H04L 7/00

680 A 5B045
Z 5K047

テマコード (参考)

審査請求 未請求 請求項の数 5 F D (全 5 頁)

(21) 出願番号 特願平10-223693

(22) 出願日 平成10年7月23日(1998.7.23)

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 本多 昇

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74) 代理人 100081710

弁理士 福山 正博

F ターム(参考) 5B045 BB17 CC01 CC04

5K047 AA16 BB12 DD03 GG02 GG09

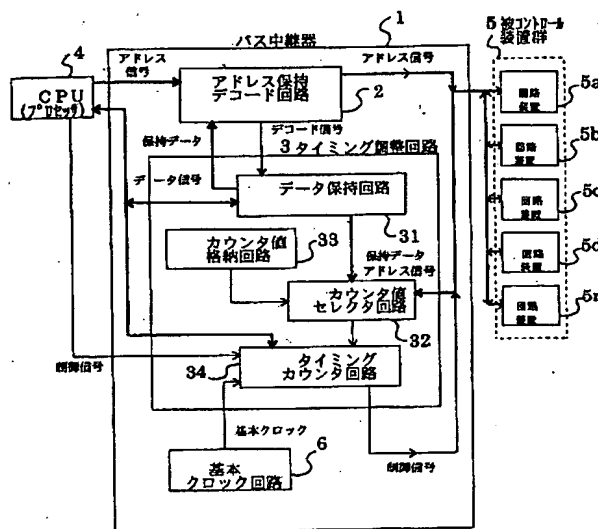
MM24 MM28 MM36 MM56 MM59

(54) 【発明の名称】 タイミング設定方式

(57) 【要約】

【課題】 物理的切替スイッチを使用することなく、バス中継器配下の複数の回路装置のアクセスタイミング及びアドレス範囲をフレキシブルに設定可能なタイミング設定方式を提供する。

【解決手段】 プロセッサ (CPU) 4からのソフトウェア命令にて、バス中継器1におけるアドレス範囲の設定を任意に行い、設定したアドレス範囲の独立したタイミング設定を行う。バス中継器1は、アドレス保持デコード回路2、タイミング調整回路3及び基本クロック回路6を有する。バス中継器1の配下には、複数の回路装置5a-5nを有する被コントロール装置群5が設けられている。



【特許請求の範囲】

【請求項 1】バス中継器を介してプロセッサによりアクセスタイミングの異なる複数の回路装置を制御するシステムのタイミング設定方式において、前記プロセッサが送出するソフトウェア命令のアドレスをデコードし、設定するアドレス範囲の上限、下限及びシフト量を示すデータを保持蓄積し、シフト量を設定されたアドレス範囲毎に選択し、制御信号を選択されたシフト量分だけ基本クロックに基づき計時し中継送出することを特徴とするタイミング設定方式。

【請求項 2】前記バス中継器は、アドレス保持デコード回路とタイミング調整回路と、基本クロック回路とを備えて成ることを特徴とする請求項 1 に記載のタイミング設定方式。

【請求項 3】前記タイミング調整回路は、データ保持回路、カウンタ値セクタ回路、カウンタ値格納回路及びタイミング値カウンタ回路を含むことを特徴とする請求項 2 に記載のタイミング設定方式。

【請求項 4】前項タイミング調整回路の前記タイミングカウンタ回路は、前記プロセッサからの制御信号及び前記基本クロック回路からの基本クロックを受けることを特徴とする請求項 3 に記載のタイミング設定方式。

【請求項 5】前記カウンタ値セクタ回路は、前記データ保持回路からの保持データ及び前記カウンタ値格納回路の出力を受け、前記タイミングカウンタ回路に出力することを特徴とする請求項 3 又は 4 に記載のタイミング設定方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は CPU（プロセッサ）により制御される被コントロール装置群のバス中継器、特にそのタイミング設定方式に関する。

【0002】

【従来の技術】半導体集積技術の進歩により、単一パッケージに収められた CPU（プロセッサ）が比較的安価且つ容易に入手できるようになった。その結果、種々の電子機器に CPU が使用され、その内部のコントロール装置群を CPU により制御している。

【0003】従来、バス中継器の配下にある回路装置にてタイミング及びアドレスの変更が生じた場合の対策として、バス中継器に切替スイッチを物理的に実装するが、回路の作り直しにより対処していた。

【0004】

【発明が解決しようとする課題】しかし、従来技術の如く切替スイッチを実施した場合、固定的タイミング及びアドレス範囲の変更しかできないという問題があった。その理由は、切替スイッチの実装範囲に限界があり、フレキシブルなタイミングとアドレス範囲の組合せを実現する事は物理的に不可能である為である。

【0005】そこで、本発明の目的は、バス中継器の配

下にある回路装置にてタイミング及びアドレスの変更が生じた際の対応として物理的な切替スイッチの実施を排することにある。

【0006】また、本発明の他の目的は、個々のタイミングの違う回路装置を複数制御する際に、本来個々の被制御装置回路が持つべき機能を十分引き出し、システム全体の処理能力の向上に効果のある制御なソフトウェア命令にて対応するタイミング設定方式を提供することにある。

10 【0007】

【課題を解決するための手段】前述の課題を解決するため、本発明によるタイミング設定方式は次のような特徴的な構成を採用している。

【0008】（1）バス中継器を介してプロセッサによりアクセスタイミングの異なる複数の回路装置を制御するシステムのタイミング設定方式において前記プロセッサが送出するソフトウェア命令のアドレスをデコードし、設定するアドレス範囲の範囲の上限、下限及びシフト量を示すデータを保持蓄積し、シフト量を設定されたアドレス範囲毎に選択し制御信号を選択されたシフト量分だけ基本クロックに基づき計時し中継送出するタイミング設定方式。

【0009】（2）前記バス中継器は、アドレス保持デコード回路とタイミング調整回路と、基本クロック回路とを備える上記（1）のタイミング設定方式。

【0010】（3）前記タイミング調整回路は、データ保持回路、カウンタ値セクタ回路、カウンタ値格納回路及びタイミング値カウンタ回路を含む上記（2）のタイミング設定方式。

30 【0011】（4）前項タイミング調整回路の前記タイミングカウンタ回路は、前記プロセッサからの制御信号及び前記基本クロック回路からの基本クロックを受ける上記（3）のタイミング設定方式。

【0012】（5）前記カウンタ値セクタ回路は、前記データ保持回路からの保持データ及び前記カウンタ値格納回路の出力を受け、前記タイミングカウンタ回路に出力する上記（3）又は（4）のタイミング設定方式。

【0013】

40 【発明の実施の形態】以下、本発明によるタイミング設定方式の好適実施形態例の構成及び動作を添付図を参照して詳細に説明する。

【0014】図 1 は、本発明のタイミング設定方式の全体のブロック図である。図 2 は、図 1 の主要部の詳細ブロック図である。図 3 は、図 2 のブロックの動作を説明するフローチャートである。

【0015】先ず、図 1 を参照して説明する。図 1 のブロック図には、バス中継器 1、CPU（プロセッサ）4 及び被コントロール装置群 5 を示す。更に、バス中継器 1 はアドレス保持デコード回路 2、タイミング調整回路 3 及び基本クロック回路 6 を備える。

【0016】アドレス保持デコード回路2は、CPU4からのアドレスデータ及び制御信号を引き込み、デコードマッチングを行う。基本クロック回路6は、デフォルト値からのシフト量の基準となる。また、タイミング調整回路3は、アドレス保持デコード回路2及び基本クロック回路6からの情報を基にタイミングをシフトさせる。また、アドレス保持デコード回路2は、CPU4からのソフトウェア命令の基となるアドレス、データ及び制御信号を基に、マッチング信号を出力するデコード信号生成回路で構成される。デコード信号は、タイミング調整回路3に入力される。基本クロック回路6は、タイミングシフト量の基準となる一定周期のクロック信号をタイミング調整回路3に出力する。

【0017】タイミング調整回路3は、デフォルト値として事前にプログラムされた基準タイミングを有している。今、アドレスの範囲とタイミングを変更しようとする。CPU4は、バス中継器1のアドレス保持デコード回路2に対して設定を開始する通知をソフトウェア命令にて出力する。この通知を受けたアドレス保持デコード回路2は、次にCPU4が出力するアドレス範囲及びタイ

ミングシフト量の情報を内部蓄積回路に蓄積する準備を行う。

【0018】その後、CPU4は、アドレスの領域確保の為の上限アドレス、下限アドレスの設定及びタイミングシフト量を表すアドレス・データを送出し、設定を終了する旨の命令を行う。次に、アドレス保持デコード回路2は、保持設定したアドレス及びデータをデコード（復号）し、タイミング調整回路3に出力する。そこでタイミング調整回路3はCPU4からの被コントロール装置群5をアクセルする際のアドレスを監視する。設定された範囲のアドレスが受信されたとき、対応するシフト量を基本クロック回路6の出力する任意クロック分制御信号に対し、シフトさせることができる。またCPU4の設定状態に関するスキャンを可能にする為、タイミング調整回路3の格納データをCPU4からのスキャン命令に応じて返送する。

【0019】次に、図2を参照して、本発明のタイミング設定方式を適用するバス中継器1の詳細ブロック図を説明する。このバス中継器1のタイミング調整回路3は、データ保持回路31、カウンタ値セクタ回路32、カウンタ値格納回路33及びタイミングカウンタ回路34を有する。また、被コントロール装置群5は、回路装置5a乃至5nのn個の回路装置を有する。

【0020】データ保持回路31は、アドレス保持デコード回路2に保持データを送り、またアドレス保持デコード回路2からデコード信号を受ける。また、データ保持回路31はCPU4との間で、データ信号の送受を行う。更に、データ保持回路31はカウンタ値セクタ回路32に保持データを送る。アドレス保持デコード回路2は、CPU4からアドレス信号を受け、被コントロー

ル装置群5の回路装置5a-5n及びカウンタ値セクタ回路32にアドレス信号を供給する。タイミングカウンタ回路34はCPU4から制御信号を受け、回路装置5a-5nに制御信号を出力すると共に、基本クロック回路6から基本クロックを受ける。

【0021】次に図2の回路の動作を、図3のフローチャートを参照しながら説明する。被コントロール装置群5の個々の回路装置5a-5nに対して、バス中継器1がCPU4からの命令を中継する場合を説明する。これら各回路装置5a-5n個々のアドレスに見合ったタイミングを、タイミングカウンタ回路34及びアドレス保持デコード回路2は、デフォルト値として有している。これを基準タイミングとする。今、中継機能に汎用性を持たせる為に、アドレスの範囲とタイミングを変更しようとする。CPU4は、バス中継器1に対して、先ず設定を開始する設定開始通知をソフトウェア命令にて出力する（図3のステップ1参照）。

【0022】次に、アドレスの領域確保を行うために、アドレスの上限の設定を行う（図3のステップ2参照）。次に、アドレスの下限の設定を行う（図3のステップ3参照）。

【0023】更に、基準タイミングからのシフト量を設定する（図3のステップ4）ソフトウェア命令を出力する。その時、アドレス保持デコード回路2は、CPU4から受けたアドレス値を直ちにデコードし、デコード信号として、タイミング調整回路3のデータ保持回路31に入力する。そこで、データ保持回路31は、そのデコード信号のタイミングで、CPU4からのデータ信号を次の同種の命令が来るまで保持し続ける。

【0024】カウンタ値セクタ回路32は、データ保持回路31からの保持データを基に、タイミングカウンタ34に対して、データに対応したカウンタ値をカウンタ値格納回路33より抽出する命令を出す。その後、CPU4は、設定を終了するソフトウェア命令を出力（図3のステップ5）して一連の設定シーケンスを終了する。

【0025】以上の動作説明から理解される如く、任意アドレス範囲においての信号タイミングを、その基準タイミングに対して、基本クロック回路6の出力する任意クロック分シフトさせることができる。また、設定した情報は、データとしてCPU4の要求があった場合、スキャン可能とし、常に設定状態を認識することができる。

【0026】以上、本発明のタイミング設定方式の好適実施形態例を説明したが、本発明は斯る実施形態例のみに限定するべきではなく、特定用途に応じて種々の変形変更が可能であることが理解できよう。

【0027】

【発明の効果】上述の説明から理解できる如く、本発明のタイミング設定方式によると、スイッチの実装範囲に

10

20

30

40

50

5

6

は、バス中継器の形状等を考慮すると限界があり、フレキシブルなアドレス範囲とタイミングの組合せは物理的に不可能であったが、本発明によると、ソフトウェア命令にて直接アドレス範囲とタイミングシフト量を設定するので、物理的スイッチを使用することなく、アドレスの範囲とタイミングシフト量が連続的に可変できる。

【0028】また、本発明のタイミング設定方式によると、従来物理的スイッチ等で行っていた設定をソフトウェア命令で行うことにより、物理的スイッチが不要となり、バス中継器本体の小型化が可能であるという実用上の顕著な効果を有する。

【図面の簡単な説明】

【図1】本発明のタイミング設定方式を適用するシステムの概略ブロック図である。

【図2】図1のシステムの一層詳細なブロック図であ

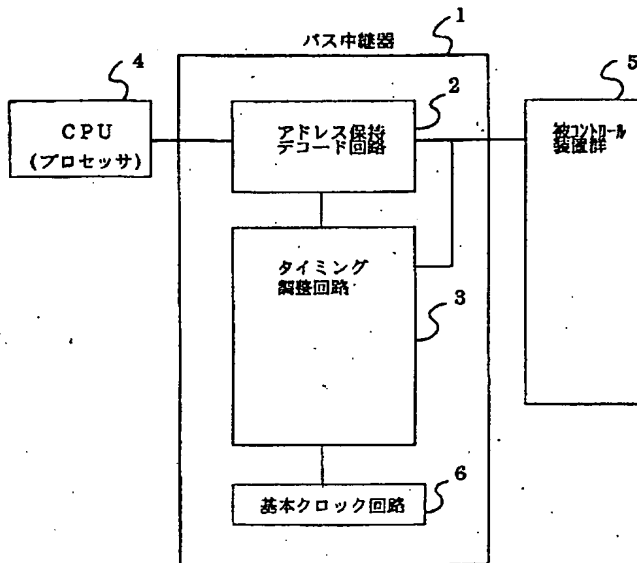
る。

【図3】図2のシステムのソフトウェア設定部分の動作を示すフローチャートである。

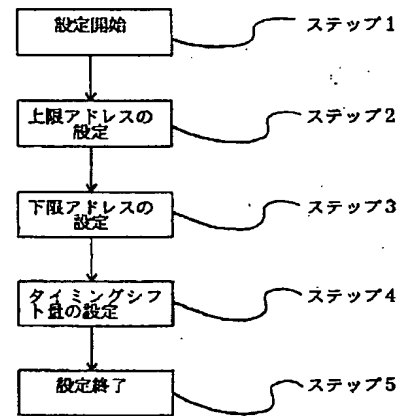
【符号の説明】

- | | |
|-----------|--------------|
| 1 | バス中継器 |
| 2 | アドレス保持デコード回路 |
| 3 | タイミング調整回路 |
| 4 | プロセッサ (CPU) |
| 5 | 被コントロール装置群 |
| 5 a - 5 n | 回路装置 |
| 6 | 基本クロック回路 |
| 3 1 | データ保持回路 |
| 3 2 | カウンタ値セクタ回路 |
| 3 3 | カウンタ値格納回路 |
| 3 4 | タイミングカウンタ回路 |

【図1】



【図3】



【図 2】

